

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月18日  
Date of Application:

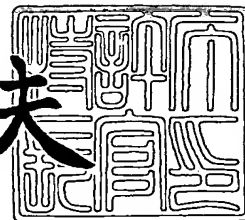
出願番号 特願2003-074220  
Application Number:  
[ST. 10/C]: [JP 2003-074220]

出願人 セイコーエプソン株式会社  
Applicant(s):

2003年11月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 J0097437

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 青▲柳▼ 哲理

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100066980

    【弁理士】

    【氏名又は名称】 森 哲也

【選任した代理人】

    【識別番号】 100075579

    【弁理士】

    【氏名又は名称】 内藤 嘉昭

【選任した代理人】

    【識別番号】 100103850

    【弁理士】

    【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

    【予納台帳番号】 001638

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 第 1 キャリア基板と、  
前記第 1 キャリア基板上にフェースダウン実装された第 1 半導体チップと、  
前記第 1 キャリア基板の裏面にフェースダウン実装された第 2 半導体チップと、  
第 2 キャリア基板と、  
前記第 2 キャリア基板上に搭載された第 3 半導体チップと、  
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極とを備えることを特徴とする半導体装置。

【請求項 2】 前記第 2 キャリア基板は前記第 1 半導体チップ上に跨るように、第 1 キャリア基板上に固定されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 3 半導体チップを封止する封止材を備えることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記封止材はモールド樹脂であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記封止材の側壁は前記第 2 キャリア基板の側壁の位置に一致していることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 1 半導体チップおよび前記第 2 半導体チップは、圧接接合により前記第 1 キャリア基板上に接続されていることを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 前記第 1 キャリア基板を含む半導体装置と前記第 2 キャリア基板を含む半導体装置とは等しい温度での弾性率が異なることを特徴とする請求項 1 ～ 6 のいずれか 1 項記載の半導体装置。

【請求項 8】 前記第 1 半導体チップおよび前記第 2 半導体チップが搭載さ

れた第1キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第3半導体チップが搭載された第2キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項1～7のいずれか1項記載の半導体装置。

【請求項9】 前記第3半導体チップは複数のチップが積層された構造を含むことを特徴とする請求項1～8のいずれか1項記載の半導体装置。

【請求項10】 前記第3半導体チップは、複数のチップが第2キャリア基板上に並列に配置された構造を含むことを特徴とする請求項1～9のいずれか1項記載の半導体装置。

【請求項11】 第1キャリア基板と、  
前記第1キャリア基板の表裏の少なくとも一方の面にフェースダウン実装された第1半導体チップと、  
第2キャリア基板と、  
前記第2キャリア基板上に搭載された第2半導体チップと、  
前記第2キャリア基板の裏面に搭載された第3半導体チップと、  
前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極とを備えることを特徴とする半導体装置。

【請求項12】 キャリア基板と、  
前記キャリア基板上にフェースダウン実装された第1半導体チップと、  
前記キャリア基板の裏面にフェースダウン実装された第2半導体チップと、  
電極パッドの形成面上に再配置配線層が形成された第3半導体チップと、  
前記第3半導体チップが前記第1半導体チップ上に保持されるように、前記第3半導体チップと前記キャリア基板とを接続する突出電極とを備えることを特徴とする半導体装置。

【請求項13】 第1キャリア基板と、  
前記第1キャリア基板上に搭載された第1電子部品と、  
前記第1キャリア基板の裏面に搭載された第2電子部品と、  
第2キャリア基板と、  
前記第2キャリア基板上に搭載された第3電子部品と、

前記第 2 キャリア基板が前記第 1 電子部品上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、  
前記第 3 電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項 14】 第 1 キャリア基板と、  
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、  
前記第 1 キャリア基板の裏面に搭載された第 2 半導体チップと、  
第 2 キャリア基板と、  
前記第 2 キャリア基板上に搭載された第 3 半導体チップと、  
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、  
前記第 3 半導体チップを封止する封止材と、  
前記第 1 キャリア基板が実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 15】 第 1 半導体チップを第 1 キャリア基板上にフェースダウン実装する工程と、

第 2 半導体チップを前記第 1 キャリア基板の裏面にフェースダウン実装する工程と、

第 3 半導体チップを第 2 キャリア基板上に実装する工程と、

前記第 2 キャリア基板に突出電極を形成する工程と、

前記第 2 キャリア基板上に実装された第 3 半導体チップを封止樹脂で封止する工程と、

前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記突出電極を介して前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 16】 前記第 3 半導体チップを前記封止樹脂で封止する工程は、  
前記第 2 キャリア基板に実装された複数の第 3 半導体チップを封止樹脂で一体的にモールド成形する工程と、

前記封止樹脂によりモールド成形された前記第 2 キャリア基板を前記第 3 半導

体チップごとに切断する工程とを備えることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】 第 1 電子部品を第 1 キャリア基板上にフェースダウン実装する工程と、

第 2 電子部品を前記第 1 キャリア基板の裏面にフェースダウン実装する工程と

、  
第 3 電子部品を第 2 キャリア基板上に実装する工程と、

前記第 2 キャリア基板に突出電極を形成する工程と、

前記第 2 キャリア基板上に実装された第 3 電子部品を封止樹脂で封止する工程と、

前記第 2 キャリア基板が前記第 1 電子部品上に保持されるように、前記突出電極を介して前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献 1 に開示されているように、キャリア基板を介して半導体チップを 3 次元実装する方法がある。

【0003】

【特許文献 1】

特開平 10-284683 号公報

【0004】

【発明が解決しようとする課題】

しかしながら、キャリア基板を介して半導体チップを 3 次元実装する方法では、キャリア基板の表裏で線膨張係数が異なるため、キャリア基板の反りが大きくなるという問題があった。

そこで、本発明の目的は、キャリア基板の反りを抑制しつつ、異種チップの 3 次元実装構造を実現することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

#### 【0005】

##### 【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第 1 キャリア基板と、前記第 1 キャリア基板上にフェースダウン実装された第 1 半導体チップと、前記第 1 キャリア基板の裏面にフェースダウン実装された第 2 半導体チップと、第 2 キャリア基板と、前記第 2 キャリア基板上に搭載された第 3 半導体チップと、前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極とを備えることを特徴とする。

#### 【0006】

これにより、第 1 キャリア基板の表裏に材料物性の等しい半導体チップを設けることが可能となり、第 1 キャリア基板の表裏の線膨張係数の差異を低減することが可能となる。このため、第 1 キャリア基板の反りを抑制しつつ、第 2 キャリア基板を第 1 キャリア基板上に積層することが可能となり、第 1 キャリア基板と第 2 キャリア基板との接続信頼性を確保しつつ、異種チップの 3 次元実装構造を実現することが可能となる。

#### 【0007】

また、本発明の一態様に係る半導体装置によれば、前記第 2 キャリア基板は前記第 1 半導体チップ上に跨るように、第 1 キャリア基板上に固定されていることを特徴とする。

これにより、第 1 半導体チップと第 3 半導体チップとを重ねて配置することが可能となり、複数の半導体チップを実装する際の実装面積を低減させて、半導体チップ実装時の省スペース化を図ることが可能となる。



**【0008】**

また、本発明の一態様に係る半導体装置によれば、前記第3半導体チップを封止する封止材を備えることを特徴とする。

これにより、第3半導体チップを腐食や破壊などから保護することが可能となり、第3半導体チップの信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記封止材はモールド樹脂であることを特徴とする。

**【0009】**

これにより、第2キャリア基板を含む異種パッケージを第1キャリア基板上に積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップの3次元実装構造を実現することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記封止材の側壁は前記第2キャリア基板の側壁の位置に一致していることを特徴とする。

**【0010】**

これにより、第1キャリア基板上に第2キャリア基板を積層した際の高さの増大を抑制しつつ、第3半導体チップを封止する封止材で第2キャリア基板の一面全体を補強することが可能となるとともに、封止材のセル分割を行うことなく、第3半導体チップを封止することが可能となり、第2キャリア基板上に搭載される第3半導体チップの搭載面積を増大させることが可能となる。

**【0011】**

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップおよび前記第2半導体チップは、圧接接合により前記第1キャリア基板上に接続されていることを特徴とする。

これにより、第1半導体チップおよび第2半導体チップを第1キャリア基板上に接続する際の低温化を図ることが可能となり、実際の使用時における第1キャリア基板の反りを低減することが可能となる。

**【0012】**

また、本発明の一態様に係る半導体装置によれば、前記第1キャリア基板を含む半導体装置と前記第2キャリア基板を含む半導体装置とは等しい温度での弾性

率が異なることを特徴とする。

これにより、一方のキャリア基板で発生する反りを他方のキャリア基板で抑えることが可能となり、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることが可能となる。

#### 【0013】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップおよび前記第2半導体チップが搭載された第1キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第3半導体チップが搭載された第2キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

#### 【0014】

これにより、3次元実装構造の高さの増大を抑制しつつ、異種パッケージを積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第3半導体チップは複数のチップが積層された構造を含むことを特徴とする。

#### 【0015】

これにより、種類またはサイズが異なる第3半導体チップを第1半導体チップ上に複数積層することが可能となり、様々の機能を持たせることを可能としつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第3半導体チップは、複数のチップが第2キャリア基板上に並列に配置された構造を含むことを特徴とする。

#### 【0016】

これにより、第3半導体チップ積層時の高さの増大を抑制しつつ、複数の第3半導体チップを第1半導体チップ上に配置することが積可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記

第1キャリア基板の表裏の少なくとも一方の面にフェースダウン実装された第1半導体チップと、第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2キャリア基板の裏面に搭載された第3半導体チップと、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極とを備えることを特徴とする。

#### 【0017】

これにより、第2キャリア基板の表裏に材料物性の等しい半導体チップを設けることが可能となり、第2キャリア基板の表裏の線膨張係数の差異を低減することが可能となる。このため、第2キャリア基板の反りを抑制しつつ、第2キャリア基板を第1キャリア基板上に積層することが可能となり、第1キャリア基板と第2キャリア基板との接続信頼性を確保しつつ、異種チップの3次元実装構造を実現することが可能となる。

#### 【0018】

また、本発明の一態様に係る半導体装置によれば、キャリア基板と、前記キャリア基板上にフェースダウン実装された第1半導体チップと、前記キャリア基板の裏面にフェースダウン実装された第2半導体チップと、電極パッドの形成面上に再配置配線層が形成された第3半導体チップと、前記第3半導体チップが前記第1半導体チップ上に保持されるように、前記第3半導体チップと前記キャリア基板とを接続する突出電極とを備えることを特徴とする。

#### 【0019】

これにより、半導体チップの種類またはサイズが異なる場合においても、第1半導体チップと第3半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップ上に第3半導体チップをフリップチップ実装することが可能となるとともに、第1キャリア基板の表裏に材料物性の等しい第1および第2半導体チップをそれぞれ設けることが可能となり、第1キャリア基板の表裏の線膨張係数の差異を低減することが可能となる。

#### 【0020】

このため、第1キャリア基板の反りを抑制しつつ、第3半導体チップを第1キャリア基板上に積層することが可能となり、第3半導体チップと第1キャリア基

板第1との接続信頼性を確保しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1電子部品と、前記第1キャリア基板の裏面に搭載された第2電子部品と、第2キャリア基板と、前記第2キャリア基板上に搭載された第3電子部品と、前記第2キャリア基板が前記第1電子部品上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記第3電子部品を封止する封止材とを備えることを特徴とする。

#### 【0021】

これにより、第1キャリア基板の反りを抑制しつつ、パッケージングの異なる第3電子部品を第1電子部品上に積層することが可能となり、異種パッケージ間の接続信頼性を確保しつつ、異種部品の3次元実装構造を実現することが可能となる。

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、前記第1キャリア基板の裏面に搭載された第2半導体チップと、第2キャリア基板と、前記第2キャリア基板上に搭載された第3半導体チップと、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記第3半導体チップを封止する封止材と、前記第1キャリア基板が実装されたマザー基板とを備えることを特徴とする。

#### 【0022】

これにより、第1キャリア基板の反りを抑制しつつ、パッケージングの異なる第3半導体チップを第1半導体チップ上に積層することが可能となり、異種パッケージ間の接続信頼性を確保しつつ、異種チップの3次元実装構造を実現することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体チップを第1キャリア基板上にフェースダウン実装する工程と、第2半導体チップを前記第1キャリア基板の裏面にフェースダウン実装する工程と、第3半導体チップを第2キャリア基板上に実装する工程と、前記第2キャリア基板に突出電極を

形成する工程と、前記第2キャリア基板上に実装された第3半導体チップを封止樹脂で封止する工程と、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

#### 【0023】

これにより、第1キャリア基板の表裏に第1および第2半導体チップをそれぞれ設けた状態で、第1キャリア基板上に第2キャリア基板を積層することが可能となる。このため、第1キャリア基板の反りを抑制しつつ、パッケージングの異なる第3半導体チップを第1半導体チップ上に積層することが可能となり、異種パッケージ間の接続信頼性を確保しつつ、異種チップの3次元実装構造を実現することが可能となる。

#### 【0024】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記第3半導体チップを前記封止樹脂で封止する工程は、前記第2キャリア基板に実装された複数の第3半導体チップを封止樹脂で一体的にモールド成形する工程と、前記封止樹脂によりモールド成形された前記第2キャリア基板を前記第3半導体チップごととに切断する工程とを備えることを特徴とする。

#### 【0025】

これにより、個々の第3半導体チップごとに封止樹脂をセル分割することなく、第3半導体チップを封止樹脂で封止することが可能となるとともに、第2キャリア基板の一面全体を封止樹脂で補強することが可能となる。

このため、第3半導体チップの種類またはサイズが異なる場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、セル分割するためのスペースが不要となることから、第2キャリア基板上に搭載される第3半導体チップの搭載面積を増大させることが可能となる。

#### 【0026】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1電子部品を第1キャリア基板上にフェースダウン実装する工程と、第2電子部品を前記第

1 キャリア基板の裏面にフェースダウン実装する工程と、第3電子部品を第2キャリア基板上に実装する工程と、前記第2キャリア基板に突出電極を形成する工程と、前記第2キャリア基板上に実装された第3電子部品を封止樹脂で封止する工程と、前記第2キャリア基板が前記第1電子部品上に保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

#### 【0027】

これにより、第1キャリア基板の表裏に第1および第2電子部品をそれぞれ設けた状態で、第1キャリア基板上に第2キャリア基板を積層することが可能となる。このため、第1キャリア基板の反りを抑制しつつ、パッケージングの異なる第3電子部品を第1電子部品上に積層することが可能となり、異種パッケージ間の接続信頼性を確保しつつ、異種部品の3次元実装構造を実現することが可能となる。

#### 【0028】

##### 【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）23a、23bがACF接合により両面実装された半導体パッケージPK11上に、スタックド構造の半導体チップ（または半導体ダイ）33a、33bがワイヤボンド接続された半導体パッケージPK12を積層したものである。

#### 【0029】

図1において、半導体パッケージPK11にはキャリア基板21が設けられ、キャリア基板21の両面にはランド22a、22cがそれぞれ形成されるとともに、キャリア基板21内には内部配線22bが形成されている。そして、キャリア基板21の表裏には、半導体チップ23a、23bがそれぞれフリップチップ実装され、半導体チップ23a、23bには、フリップチップ実装するための突出電極24a、24bがそれぞれ設けられている。そして、半導体チップ23a

、23bにそれぞれ設けられた突出電極24a、24bは、異方性導電シート25a、25bをそれぞれ介してランド22c、22a上にそれぞれACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板21の裏面に設けられたランド22a上には、キャリア基板21をマザー基板上に実装するための突出電極26が設けられている。

#### 【0030】

ここで、キャリア基板21の表裏に半導体チップ23a、23bをそれぞれ搭載することにより、キャリア基板21の表裏における線膨張係数の差異を低減することが可能となり、キャリア基板21の反りを低減することが可能となる。また、ACF接合により半導体チップ23a、23bをキャリア基板21に実装することにより、ワイヤボンダやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ23をキャリア基板21上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板21の反りを低減することが可能となる。

#### 【0031】

なお、キャリア基板21の表裏に搭載される半導体チップ23a、23bの厚みおよびサイズは等しいことが好ましいが、半導体チップ23a、23bの厚みまたはサイズが異なってもよい。

一方、半導体パッケージPK12にはキャリア基板31が設けられ、キャリア基板31の両面にはランド32a、32cがそれぞれ形成されるとともに、キャリア基板31内には内部配線32bが形成されている。そして、キャリア基板31上には、接着層34aを介し半導体チップ33aがフェースアップ実装され、半導体チップ33は、導電性ワイヤ35aを介してランド32cにワイヤボンダ接続されている。さらに、半導体チップ33a上には、導電性ワイヤ35aを避けるようにして、半導体チップ33bがフェースアップ実装され、半導体チップ33bは、接着層34bを介して半導体チップ33a上に固定されるとともに、導電性ワイヤ35bを介してランド32cにワイヤボンダ接続されている。

#### 【0032】

また、キャリア基板31の裏面に設けられたランド32a上には、キャリア基

板 3 1 が半導体チップ 2 3 a 上に保持されるように、キャリア基板 3 1 をキャリア基板 2 1 上に実装するための突出電極 3 6 が設けられている。ここで、突出電極 3 6 は、半導体チップ 2 3 a の搭載領域を避けるようにして配置され、例えば、キャリア基板 3 1 の裏面の周囲に突出電極 3 6 を配置することができる。そして、キャリア基板 2 1 上に設けられたランド 2 2 c に突出電極 3 6 を接合させることにより、キャリア基板 3 1 をキャリア基板 2 1 上に実装することができる。

#### 【0033】

これにより、キャリア基板 2 1 の反りを抑制しつつ、パッケージングの異なる半導体チップ 3 3 a、3 3 b を半導体チップ 2 3 a、2 3 b 上に積層することが可能となる。このため、キャリア基板 2 1、3 1 間の接続信頼性を確保しつつ、異種パッケージ PK 1 1、PK 1 2 を積層することが可能となり、異種の半導体チップ 2 3 a、2 3 b、3 3 a、3 3 b の 3 次元実装構造を実現することが可能となる。

#### 【0034】

また、半導体チップ 3 3 a、3 3 b は封止樹脂 3 7 により封止され、封止樹脂 3 7 は、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより形成することができる。

ここで、半導体チップ 3 3 a、3 3 b の実装面側のキャリア基板 3 1 の一面全体に、モールド成形により封止樹脂 3 7 を形成することにより、様々の種類の半導体チップ 3 3 a、3 3 b がキャリア基板 3 1 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 3 7 をセル分割するためのスペースが不要となることから、キャリア基板 3 1 上に搭載される半導体チップ 3 3 a、3 3 b の搭載面積を増大させることが可能となる。

#### 【0035】

なお、キャリア基板 2 1、3 1 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 2 1、3 1 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BT レジン、アラミドとエポキシのコンポジットまたはセラミックなど



を用いることができる。また、突出電極 24 a、24 b、26、36 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。ここで、突出電極 26、36 として、例えば、半田ボールを用いることにより、汎用の BGA を用いることで、異種パッケージ PK11、PK12 同士を積層することができ、製造ラインを流用することができる。また、導電性ワイヤ 35 a、35 b としては、例えば、Au ワイヤや Al ワイヤなどを用いることができる。また、上述した実施形態では、キャリア基板 31 をキャリア基板 21 上に実装するために、突出電極 36 をキャリア基板 31 のランド 32 a 上に設ける方法について説明したが、突出電極 36 をキャリア基板 21 のランド 22 c 上に設けるようにしてもよい。

#### 【0036】

また、上述した実施形態では、ACF 接合により半導体チップ 23 をキャリア基板 21 上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。さらに、上述した実施形態では、キャリア基板 21 の表裏に半導体チップ 23 a、23 b をそれぞれ 1 個だけ実装する方法を例にとって説明したが、キャリア基板 21 の表裏に複数の半導体チップをそれぞれ実装するようにしてもよい。

#### 【0037】

図 2 は、本発明の第 2 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 2 実施形態は、半導体チップ 43 a、43 b が ACF 接合により両面実装された半導体パッケージ PK21 上に、スタックド構造の半導体チップ 53 a、53 b がそれぞれフリップチップ実装およびワイヤボンド接続された半導体パッケージ PK22 を積層したものである。

#### 【0038】

図 2 において、半導体パッケージ PK21 にはキャリア基板 41 が設けられ、キャリア基板 41 の両面にはランド 42 a、42 c がそれぞれ形成されるととも

に、キャリア基板 4 1 内には内部配線 4 2 b が形成されている。そして、キャリア基板 4 1 の表裏には、半導体チップ 4 3 a、4 3 b がそれぞれフリップチップ実装され、半導体チップ 4 3 a、4 3 b には、フリップチップ実装するための突出電極 4 4 a、4 4 b がそれぞれ設けられている。そして、半導体チップ 4 3 a、4 3 b にそれぞれ設けられた突出電極 4 4 a、4 4 b は、異方性導電シート 4 5 a、4 5 b をそれぞれ介してランド 4 2 c、4 2 a 上にそれぞれ ACF 接合されている。また、キャリア基板 4 1 の裏面に設けられたランド 4 2 a 上には、キャリア基板 4 1 をマザー基板上に実装するための突出電極 4 6 が設けられている。

#### 【0039】

ここで、キャリア基板 4 1 の表裏に半導体チップ 4 3 a、4 3 b をそれぞれ搭載することにより、キャリア基板 4 1 の表裏における線膨張係数の差異を低減することが可能となり、キャリア基板 4 1 の反りを低減することが可能となる。また、ACF 接合により半導体チップ 4 3 a、4 3 b をキャリア基板 4 1 上に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ 4 3 a、4 3 b をキャリア基板 4 1 上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板 4 1 の反りを低減することが可能となる。

#### 【0040】

一方、半導体パッケージ PK 2 2 にはキャリア基板 5 1 が設けられ、キャリア基板 5 1 の両面にはランド 5 2 a、5 2 c がそれぞれ形成されるとともに、キャリア基板 5 1 内には内部配線 5 2 b が形成されている。そして、キャリア基板 5 1 上には半導体チップ 5 3 a がフリップチップ実装され、半導体チップ 5 3 a には、フリップチップ実装するための突出電極 5 5 a が設けられている。そして、半導体チップ 5 3 a に設けられた突出電極 5 5 a は、異方性導電シート 5 4 a を介してランド 5 2 c 上に ACF 接合されている。さらに、半導体チップ 5 3 a 上には、半導体チップ 5 3 b がフェースアップ実装され、半導体チップ 5 3 b は、接着層 5 4 b を介して半導体チップ 5 3 a 上に固定されるとともに、導電性ワイヤ 5 5 b を介してランド 5 2 c にワイヤボンド接続されている。

**【0041】**

ここで、フェースダウン実装された半導体チップ53a上に半導体チップ53bをフェースアップ実装することにより、キャリア基板を介在させることなく、半導体チップ53aよりもサイズが同等かそれ以上の半導体チップ53bを半導体チップ53a上に積層することが可能となり、実装面積を縮小することが可能となる。

**【0042】**

また、キャリア基板51の裏面に設けられたランド52a上には、キャリア基板51が半導体チップ43aに保持されるようにして、キャリア基板51をキャリア基板41上に実装するための突出電極56が設けられている。ここで、突出電極56は、半導体チップ43aの搭載領域を避けるようにして配置され、例えば、キャリア基板51の裏面の周囲に突出電極56を配置することができる。そして、キャリア基板41上に設けられたランド42cに突出電極56を接合させることにより、キャリア基板51をキャリア基板41上に実装することができる。

**【0043】**

これにより、キャリア基板41の反りを抑制しつつ、パッケージングの異なる半導体チップ53a、53bを半導体チップ43上に積層することが可能となる。このため、キャリア基板41、51間の接続信頼性を確保しつつ、異種パッケージPK21、PK22を積層することが可能となり、異種の半導体チップ43a、43b、53a、53bの3次元実装構造を実現することが可能となる。

**【0044】**

なお、突出電極46、56としては、例えば、半田ボールを用いることができる。これにより、汎用のBGAを用いることで、異種パッケージPK21、PK22同士を積層することができ、製造ラインを流用することができる。

また、半導体チップ53a、53bは封止樹脂57により封止され、封止樹脂57は、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより形成することができる。

**【0045】**

ここで、半導体チップ 5 3 a、5 3 b の実装面側のキャリア基板 5 1 の一面全体に、モールド成形により封止樹脂 5 7 を形成することにより、様々の種類の半導体チップ 5 3 a、5 3 b がキャリア基板 5 1 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 5 7 をセル分割するためのスペースが不要となることから、キャリア基板 5 1 上に搭載される半導体チップ 5 3 a、5 3 b の搭載面積を増大させることが可能となる。

#### 【0 0 4 6】

図 3 は、本発明の第 3 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 3 実施形態は、複数の半導体チップ 6 2 a ～ 6 2 c を封止樹脂 6 4 で一体的にモールド成形した後、個々の半導体チップ 6 2 a ～ 6 2 c ごとに切断することにより、半導体チップ 6 2 a ～ 6 2 c がそれぞれ実装されたキャリア基板 6 1 a ～ 6 1 の一面全体に封止樹脂 6 4 a ～ 6 4 c をそれぞれ形成するようにしたものである。

#### 【0 0 4 7】

図 3 (a) において、キャリア基板 6 1 には、複数の半導体チップ 6 2 a ～ 6 2 c を搭載する搭載領域が設けられている。そして、複数の半導体チップ 6 2 a ～ 6 2 c をキャリア基板 6 1 上に実装し、導電性ワイヤ 6 3 a ～ 6 3 c をそれぞれ介してキャリア基板 6 1 にワイヤボンド接続する。なお、半導体チップ 6 2 a ～ 6 2 c をワイヤボンド接続する方法以外にも、半導体チップ 6 2 a ～ 6 2 c をキャリア基板 6 1 上にフリップチップ実装するようにしてもよく、半導体チップ 6 2 a ～ 6 2 c の積層構造をキャリア基板 6 1 上に実装してもよい。

#### 【0 0 4 8】

次に、図 3 (b) に示すように、キャリア基板 6 1 上に実装された複数の半導体チップ 6 2 a ～ 6 2 c を封止樹脂 6 4 で一体的にモールド成形する。ここで、複数の半導体チップ 6 2 a ～ 6 2 c を封止樹脂 6 4 で一体的にモールド成形することにより、様々の種類の半導体チップ 6 2 a ～ 6 2 c がキャリア基板 6 1 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 6 4 をセル

分割するためのスペースが不要となることから、キャリア基板 61 上に搭載される半導体チップ 62a～62c の搭載面積を増大させることが可能となる。

#### 【0049】

次に、図 3 (c) に示すように、半田ボールなどの突出電極 65a～65c を各キャリア基板 61a～61c の裏面に形成する。そして、図 3 (d) に示すように、キャリア基板 61 および封止樹脂 64 を個々の半導体チップ 62a～62c ごとに切断することにより、半導体チップ 62a～62c が封止樹脂 64a～64c でそれぞれ封止されたキャリア基板 61a～61c ごとに分割する。

#### 【0050】

ここで、キャリア基板 61 および封止樹脂 64 を一体的に切断することにより、半導体チップ 62a～62c の実装面側のキャリア基板 61a～61c の一面全体に封止樹脂 64a～64c をそれぞれ形成することが可能となる。このため、製造工程の複雑化を抑制しつつ、突出電極 65a～65c の配置領域の剛性を向上させることが可能となり、キャリア基板 61a～61c の反りを低減させることが可能となる。なお、突出電極 65a～65c は、各個片に切断後に形成してもよい。

#### 【0051】

図 4、図 5 は、本発明の第 4 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 4 実施形態は、半導体チップ 73a、73b が ACF 接合により両面実装された半導体パッケージ PK31 上に、封止樹脂 84 で封止された半導体パッケージ PK32 を積層したものである。

図 4 (a) において、キャリア基板 71 が設けられ、キャリア基板 71 の両面にはランド 72a、72b がそれぞれ形成されている。そして、キャリア基板 71 の表裏に異方性導電シート 75a、75b をそれぞれ貼り付け、異方性導電シート 75b 上にはセパレータ 78 を付着させたままにしておく。なお、セパレータ 78 は、例えば、PET などにより構成することができる。

#### 【0052】

次に、図 4 (b) に示すように、半導体チップ 73a の位置合わせを行いながら、異方性導電シート 75a 上に半導体チップ 73a を仮圧着する。そして、半

導体チップ 7 3 a が仮圧着されると、図 4 (c) に示すように、異方性導電シート 7 5 b 上のセパレータ 7 8 を剥がす。そして、図 4 (d) に示すように、半導体チップ 7 3 b の位置合わせを行いながら、異方性導電シート 7 5 b 上に半導体チップ 7 3 b を仮圧着する。

#### 【0 0 5 3】

そして、半導体チップ 7 3 a、7 3 b が異方性導電シート 7 5 a、7 5 b 上にそれぞれ仮圧着されると、半導体チップ 7 3 a、7 3 b が仮圧着されたキャリア基板 7 1 を加熱しながら上下から荷重をかける。そして、図 4 (e) に示すように、突出電極 7 4 a、7 4 b をそれぞれ介し半導体チップ 7 3 a、7 3 b をキャリア基板 7 1 に ACF 接合させ、半導体チップ 7 3 a、7 3 b が両面実装された半導体パッケージ P K 3 1 を製造する。

#### 【0 0 5 4】

次に、図 5 (a) において、半導体パッケージ P K 3 2 にはキャリア基板 8 1 が設けられ、キャリア基板 8 1 の裏面にはランド 8 2 が形成され、ランド 8 2 上には半田ボールなどの突出電極 8 3 が設けられている。また、キャリア基板 8 1 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 8 1 の一面全体は、封止樹脂 8 4 で封止されている。なお、キャリア基板 8 1 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

#### 【0 0 5 5】

そして、半導体パッケージ P K 3 1 上に半導体パッケージ P K 3 2 を積層する場合、キャリア基板 7 1 のランド 7 2 b 上にフラックス 7 6 を供給する。なお、キャリア基板 7 1 のランド 7 2 b 上には、フラックス 7 6 の代わりに半田ペーストを供給してもよい。

次に、図 5 (b) に示すように、半導体パッケージ P K 3 1 上に半導体パッケージ P K 3 2 をマウントし、リフロー処理を行うことにより、突出電極 8 3 をランド 7 2 b 上に接合させる。

#### 【0 0 5 6】

次に、図5(c)に示すように、キャリア基板71の裏面に設けられたランド72a上に、キャリア基板71をマザー基板上に実装するための突出電極77を形成する。

図6は、本発明の第5実施形態に係る半導体装置の構成を示す断面図である。なお、この第5実施形態は、半導体チップ103a、103bが両面にフリップチップ実装されたキャリア基板101上に、スタックド構造の半導体チップ113a～113cを3次元実装するようにしたものである。

#### 【0057】

図6において、半導体パッケージPK41にはキャリア基板101が設けられ、キャリア基板101の両面にはランド102a、102cがそれぞれ形成されるとともに、キャリア基板101内には内部配線102bが形成されている。そして、キャリア基板101の両面には、半導体チップ103a、103bがそれぞれフリップチップ実装され、半導体チップ103a、103bには、フリップチップ実装するための突出電極104a、104bがそれぞれ設けられている。そして、半導体チップ103a、103bにそれぞれ設けられた突出電極104a、104bは、異方性導電シート105a、105bをそれぞれ介してランド102c、102a上にそれぞれACF接合されている。なお、半導体チップ103a、103bをキャリア基板101上に実装する場合、ACF接合を用いる方法以外にも、例えば、NCF接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板101の裏面に設けられたランド102a上には、キャリア基板101をマザー基板上に実装するための突出電極106が設けられている。ここで、キャリア基板101の表裏に半導体チップ103a、103bをそれぞれ搭載することにより、キャリア基板101の表裏における線膨張係数の差異を低減することが可能となり、キャリア基板101の反りを低減することが可能となる。

#### 【0058】

一方、半導体パッケージPK42にはキャリア基板111が設けられ、キャリア基板111の両面にはランド112a、112cがそれぞれ形成されるととも

に、キャリア基板 111 内には内部配線 112b が形成されている。

また、半導体チップ 113a～113c には、電極パッド 114a～114c がそれぞれ設けられるとともに、各電極パッド 114a～114c が露出するようにして、絶縁膜 115a～115c がそれぞれ設けられている。そして、半導体チップ 113a～113c には、例えば、各電極パッド 114a～114c の位置に対応して、貫通孔 116a～116c がそれぞれ形成され、貫通孔 116a～116c 内には、絶縁膜 117a～117c および導電膜 118a～118c をそれぞれ介して、貫通電極 119a～119c がそれぞれ形成されている。そして、貫通電極 119a～119c が形成された半導体チップ 113a～113c は、貫通電極 119a～119c をそれぞれ介して積層され、半導体チップ 113a～113c 間の隙間には樹脂 120a、120b がそれぞれ注入されている。

#### 【0059】

また、半導体チップ 113a に形成された貫通電極 119a 上には、半導体チップ 113a～113c の積層構造をフリップチップ実装するための突出電極 121 が設けられている。そして、キャリア基板 111 上に設けられたランド 112c 上に突出電極 121 が接合されるとともに、キャリア基板 111 上に実装された半導体チップ 113a の表面が封止樹脂 122 で封止され、半導体チップ 113a～113c の積層構造がキャリア基板 111 上に実装されている。

#### 【0060】

また、キャリア基板 111 の裏面に設けられたランド 112a 上には、キャリア基板 111 が半導体チップ 103a 上に保持されるように、キャリア基板 111 をキャリア基板 101 上に実装するための突出電極 123 が設けられている。

ここで、突出電極 123 は、半導体チップ 103a の搭載領域を避けるようにして配置され、例えば、キャリア基板 111 の周囲に突出電極 123 を配置することができる。そして、キャリア基板 101 上に設けられたランド 102c 上に突出電極 123 を接合させることにより、キャリア基板 111 をキャリア基板 101 上に実装することができる。

#### 【0061】



これにより、キャリア基板 101 の反りを抑制しつつ、半導体チップ 111a ~ 111c の積層構造を半導体チップ 103a 上に実装することが可能となる。このため、キャリア基板 101、111 間の接続信頼性を確保しつつ、異種パッケージ PK41、PK42 を積層することが可能となり、積層時の高さの増大を抑制しつつ、異種の半導体チップ 103a、103b、113a ~ 113c の 3 次元実装構造を実現することが可能となる。

#### 【0062】

なお、突出電極 104a 104b、106、121、123 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、半導体チップ 113a ~ 113c の 3 層構造をキャリア基板 111 上に実装する方法について説明したが、キャリア基板 111 上に実装される半導体チップの積層構造は、2 層または 4 層以上であってもよい。

#### 【0063】

図 7 は、本発明の第 6 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 6 実施形態は、半導体チップ 203a、203b が両面にフリップチップ実装されたキャリア基板 201 上に、W-CSP（ウエハレベルチップサイズパッケージ）を 3 次元実装するようにしたものである。

図 7 において、半導体パッケージ PK51 にはキャリア基板 201 が設けられ、キャリア基板 201 の両面にはランド 202a、202c がそれぞれ形成されるとともに、キャリア基板 201 内には内部配線 202b が形成されている。そして、キャリア基板 201 の両面には、半導体チップ 203a、203b がそれぞれフリップチップ実装され、半導体チップ 203a、203b には、フリップチップ実装するための突出電極 204a、204b がそれぞれ設けられている。そして、半導体チップ 203a、203b にそれぞれ設けられた突出電極 204a、204b は、異方性導電シート 205a、205b をそれぞれ介してランド 202c、202a 上にそれぞれ ACF 接合されている。また、キャリア基板 201 の裏面に設けられたランド 202a 上には、キャリア基板 201 をマザー基板上に実装するための突出電極 206 が設けられている。ここで、キャリア基板

201の表裏に半導体チップ203a、203bをそれぞれ搭載することにより、キャリア基板201の表裏における線膨張係数の差異を低減することが可能となり、キャリア基板201の反りを低減することが可能となる。

#### 【0064】

一方、半導体パッケージPK52には半導体チップ211が設けられ、半導体チップ211には、電極パッド212が設けられるとともに、電極パッド212が露出するようにして、絶縁膜213が設けられている。そして、半導体チップ211上には、電極パッド212が露出するようにして応力緩和層214が形成され、電極パッド212上には、応力緩和層214上に延伸された再配置配線215が形成されている。そして、再配置配線215上にはソルダレジスト膜216が形成され、ソルダレジスト膜216には、応力緩和層214上において再配置配線215を露出させる開口部217が形成されている。そして、開口部217を介して露出された再配置配線215上には、半導体パッケージPK52が半導体チップ203a上に保持されるように、半導体チップ211をキャリア基板201上にフェースダウン実装するための突出電極218が設けられている。

#### 【0065】

ここで、突出電極218は、半導体チップ203aの搭載領域を避けるようにして配置され、例えば、半導体チップ211の周囲に突出電極218を配置することができる。そして、キャリア基板201上に設けられたランド202c上に突出電極218を接合することにより、半導体パッケージPK52をキャリア基板201上に実装することができる。

#### 【0066】

これにより、キャリア基板201の反りを抑制しつつ、半導体チップ203a、203bが両面にフリップチップ実装されたキャリア基板201上にW-CSPを積層することができる。このため、半導体チップ203a、203b、211の種類またはサイズが異なる場合においても、半導体チップ203、211間にキャリア基板を介在させることなく、半導体チップ203上に半導体チップ211を3次元実装することが可能となるとともに、キャリア基板201、211間の接続信頼性を向上させることが可能となり、3次元実装された半導体チップ

203a、203b、211の信頼性の劣化を抑制しつつ、半導体チップ203a、203b、211実装時の省スペース化を図ることが可能となる。

【0067】

なお、半導体パッケージPK52をキャリア基板201上に実装する場合、例えば、ACF接合やNCF接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極204a、204b、206、218としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、キャリア基板201上にフリップチップ実装された1個の半導体チップ203a上に半導体パッケージPK52を実装する方法を例にとって説明したが、キャリア基板201上にフリップチップ実装された複数の半導体チップ上に半導体パッケージPK52を実装するようにしてもよい。

【0068】

図8は、本発明の第7実施形態に係る半導体装置の構成を示す断面図である。なお、この第7実施形態は、半導体チップ323がACF接合により実装された半導体パッケージPK61上に、スタックド構造の半導体チップ333a、333bが表面に実装されるとともに、半導体チップ333cが裏面に実装された半導体パッケージPK62を積層したものである。

【0069】

図8において、半導体パッケージPK61にはキャリア基板321が設けられ、キャリア基板321の両面にはランド322a、322cがそれぞれ形成されるとともに、キャリア基板321内には内部配線322bが形成されている。そして、キャリア基板321の裏面には、半導体チップ323がフリップチップ実装され、半導体チップ323には、フリップチップ実装するための突出電極324が設けられている。そして、半導体チップ323に設けられた突出電極324は、異方性導電シート325を介してランド322a上にACF接合されている。また、キャリア基板321の裏面に設けられたランド322a上には、キャリア基板321をマザー基板上に実装するための突出電極326が設けられている。

。

#### 【0070】

ここで、ACF接合により半導体チップ323をキャリア基板321に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ323をキャリア基板321上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板321の反りを低減することが可能となる。

#### 【0071】

一方、半導体パッケージPK62にはキャリア基板331が設けられ、キャリア基板331の両面にはランド332a、332cがそれぞれ形成されるとともに、キャリア基板331内には内部配線332bが形成されている。そして、キャリア基板331上には、接着層334aを介し半導体チップ333aがフェースアップ実装され、半導体チップ333は、導電性ワイヤ335aを介してランド332cにワイヤボンド接続されている。さらに、半導体チップ333a上には、導電性ワイヤ335aを避けるようにして、半導体チップ333bがフェースアップ実装され、半導体チップ333bは、接着層334bを介して半導体チップ333a上に固定されるとともに、導電性ワイヤ335bを介してランド332cにワイヤボンド接続されている。

#### 【0072】

また、キャリア基板331の裏面には、半導体チップ333cがフリップチップ実装され、半導体チップ333cには、フリップチップ実装するための突出電極334cが設けられている。そして、半導体チップ333cに設けられた突出電極334cは、異方性導電シート335cを介してランド332a上にACF接合されている。さらに、キャリア基板331の裏面に設けられたランド332a上には、キャリア基板331をキャリア基板321上に実装するための突出電極336が設けられている。そして、キャリア基板321上に設けられたランド322cに突出電極336を接合させることにより、キャリア基板31をキャリア基板321上に実装することができる。

#### 【0073】

ここで、キャリア基板 331 の表面に半導体チップ 333 a、333 b を搭載するとともに、キャリア基板 331 の裏面に半導体チップ 333 c を搭載することにより、キャリア基板 331 の表裏における線膨張係数の差異を低減することが可能となり、キャリア基板 331 の反りを低減することが可能となる。

このため、キャリア基板 331 の反りを抑制しつつ、パッケージングの異なる半導体チップ 333 a ~ 333 c を半導体チップ 323 上に積層することが可能となる。この結果、キャリア基板 321、331 間の接続信頼性を確保しつつ、異種パッケージ PK61、PK62 を積層することが可能となり、異種の半導体チップ 323、333 a ~ 333 c の 3 次元実装構造を実現することが可能となる。

#### 【0074】

また、半導体チップ 333 a、333 b は封止樹脂 337 により封止され、封止樹脂 337 は、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより形成することができる。

なお、上述した実施形態では、キャリア基板の両面に半導体チップを搭載する方法について説明したが、キャリア基板の一方の面に半導体チップを搭載し、キャリア基板の他方の面にダミーチップを搭載するようにしてもよい。これにより、ダミーチップとして、半導体系材料のほか、金属系材料、セラミック系材料または樹脂系材料などを使用することができ、キャリア基板に搭載可能な材料に制約をなくすことが可能となることから、キャリア基板の反りの状態を精密に制御することが可能となる。

#### 【0075】

また、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW

）素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。

【図 2】 第 2 実施形態に係る半導体装置の構成を示す断面図。

【図 3】 第 3 実施形態に係る半導体装置の構成を示す断面図。

【図 4】 第 4 実施形態に係る半導体装置の製造方法を示す断面図。

【図 5】 第 4 実施形態に係る半導体装置の製造方法を示す断面図。

【図 6】 第 5 実施形態に係る半導体装置の製造方法を示す断面図。

【図 7】 第 6 実施形態に係る半導体装置の構成を示す断面図。

【図 8】 第 7 実施形態に係る半導体装置の構成を示す断面図。

【符号の説明】

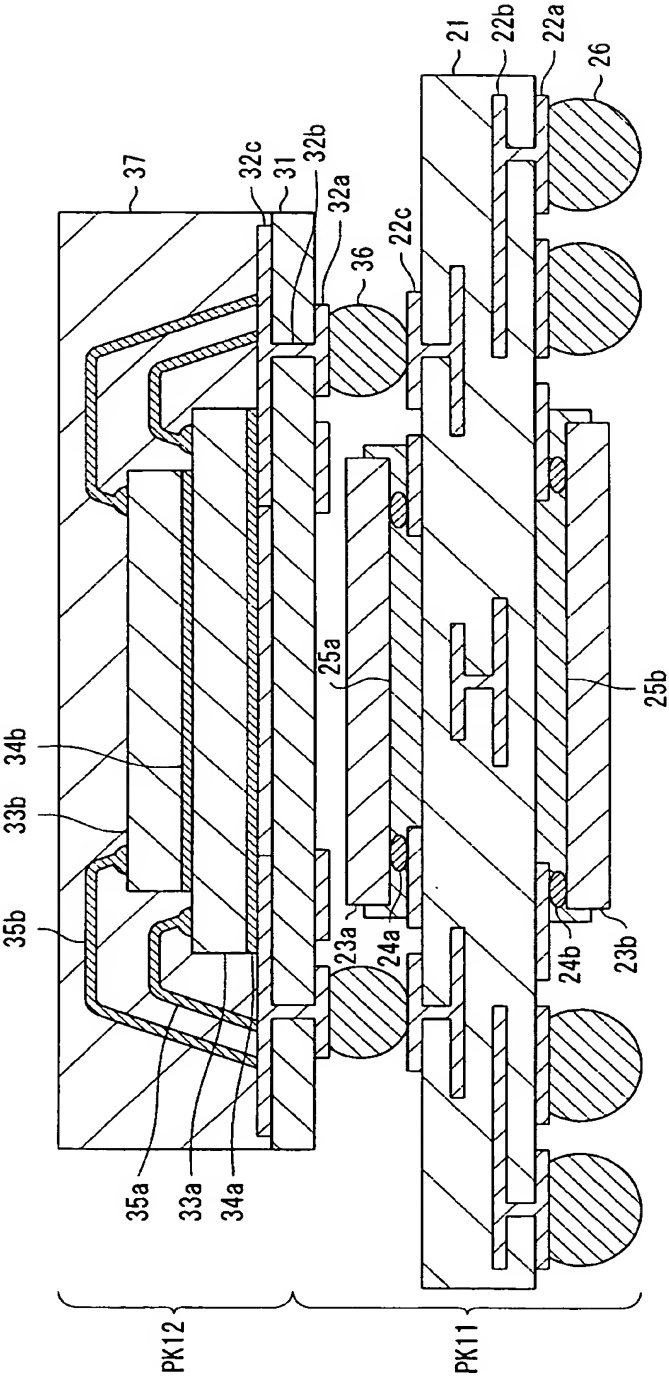
21、31、41、51、61、61a～61c、71、81、101、111、201、321、331 キャリア基板、22a、22c、32a、32c、42a、42c、52a、52c、72a、72b、82、102a、102c、112a、112c、202a、202c、322a、322c、332a、332c ランド、22b、32b、42b、52b、102b、112b、202b、322b、332b 内部配線、23a、23b、33a、33b、43a、43b、53a、53b、62a～62c、73a、73b、103a、103b、113a～113c、203a、203b、211、323、333a～333c 半導体チップ、24a、24b、26、36、44a、44b、46、55a、56、65a～65c、74a、74b、77、83、104a、104b、121、123、204a、204b、206、218、324、326、334c、336 突出電極、25a、25b、45a、45b、54a、75a、75b、105a、105b、205a、205b、325、335c 異方性導電シート、34a、34b、54b、334a、334b 接着層、35a、35b、55b、63a～63c、335a、335b 導電性ワイヤ、37、57、64、64a～64c、84、120a、120b、122、337 封止樹脂、76 フラックス、78 セパレータ、114a～11

4c、212 電極パッド、115a～115c、117a～117c、213  
絶縁膜、116a～116c 貫通孔、118a～118c 導電膜、119  
a～119c 貫通電極、214 応力緩和層、215 再配置配線、216  
ソルダレジスト層、217 開口部、PK11、PK12、PK21、PK22  
、PK31、PK32、PK41、PK42、PK51、PK52、PK61、  
PK62 半導体パッケージ

【書類名】

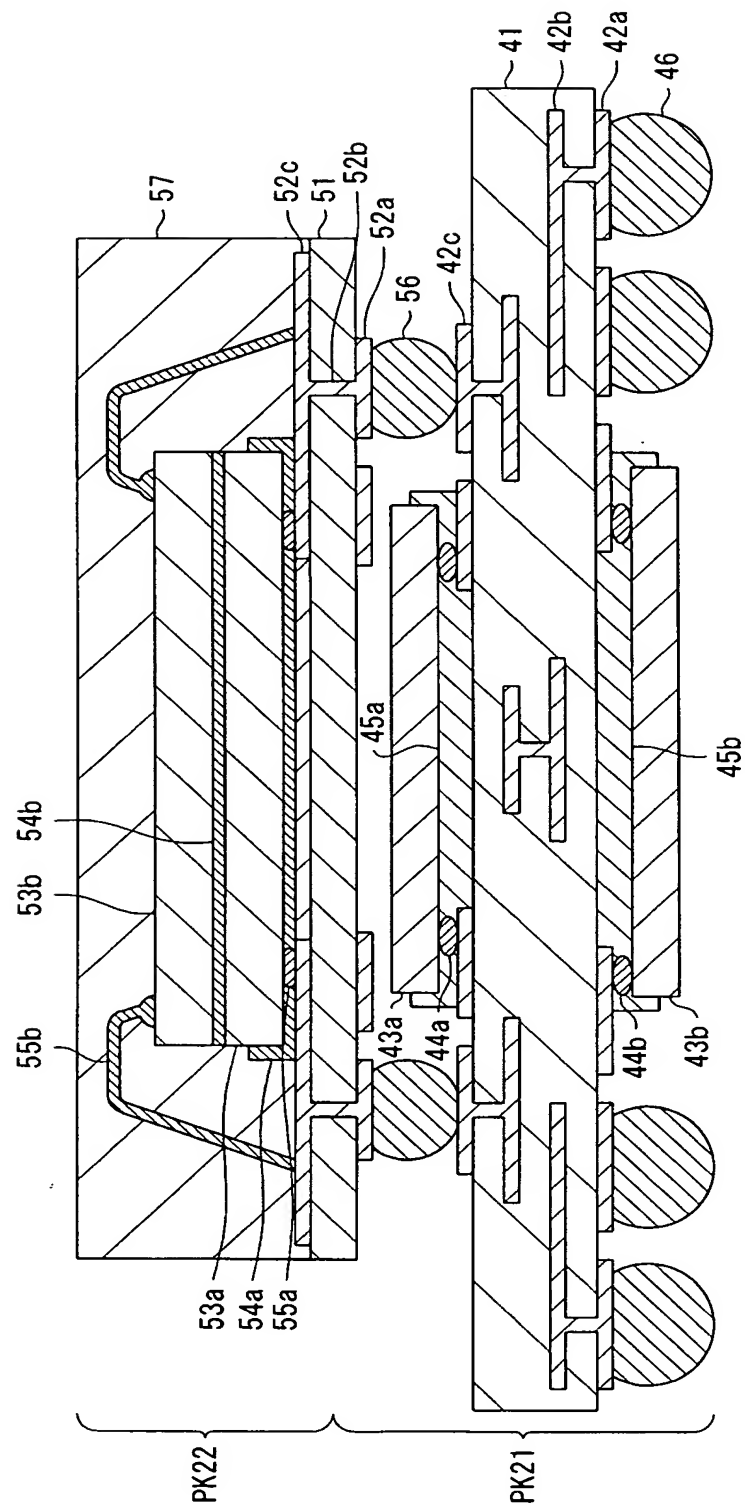
図面

【図 1】

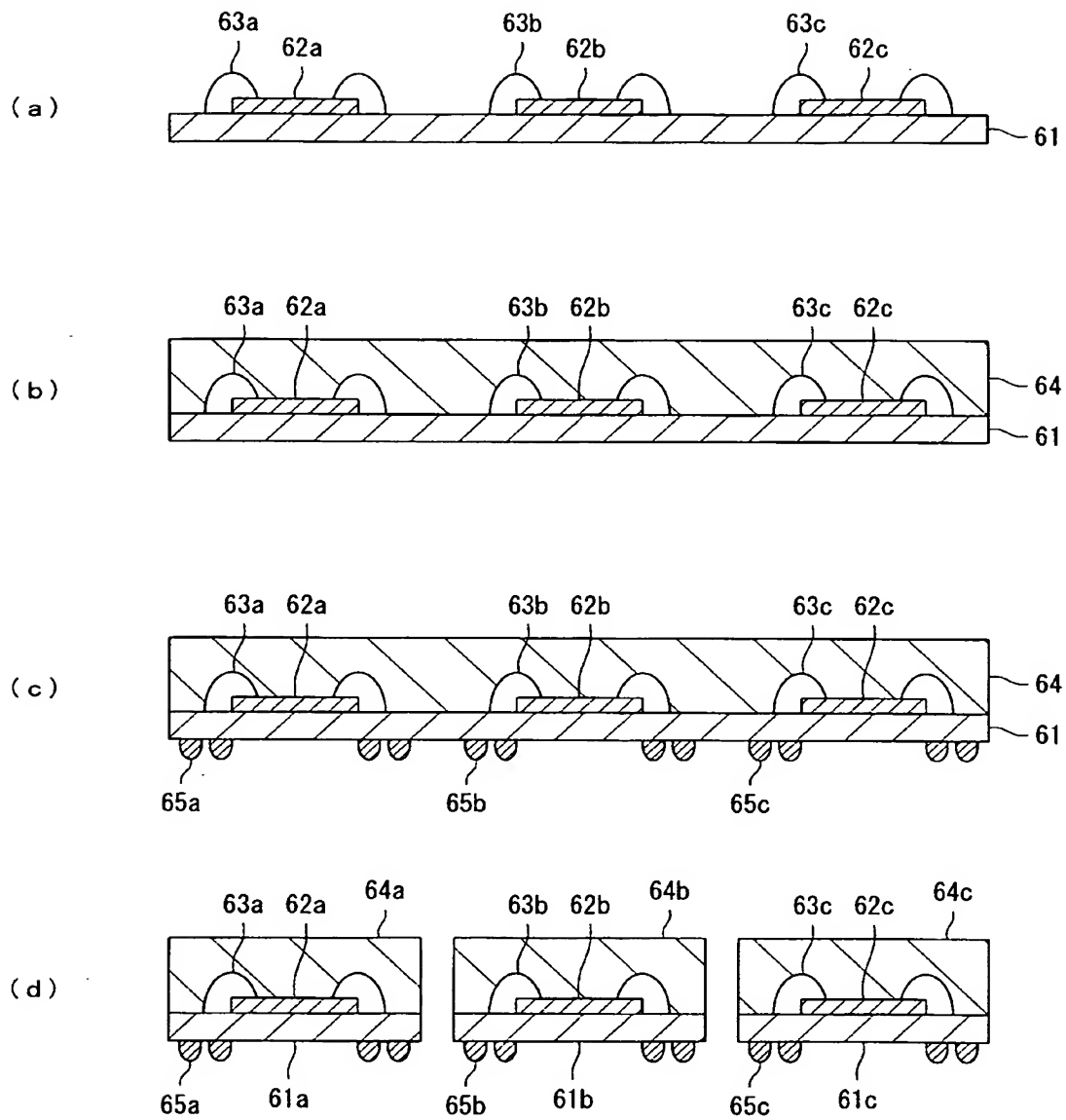




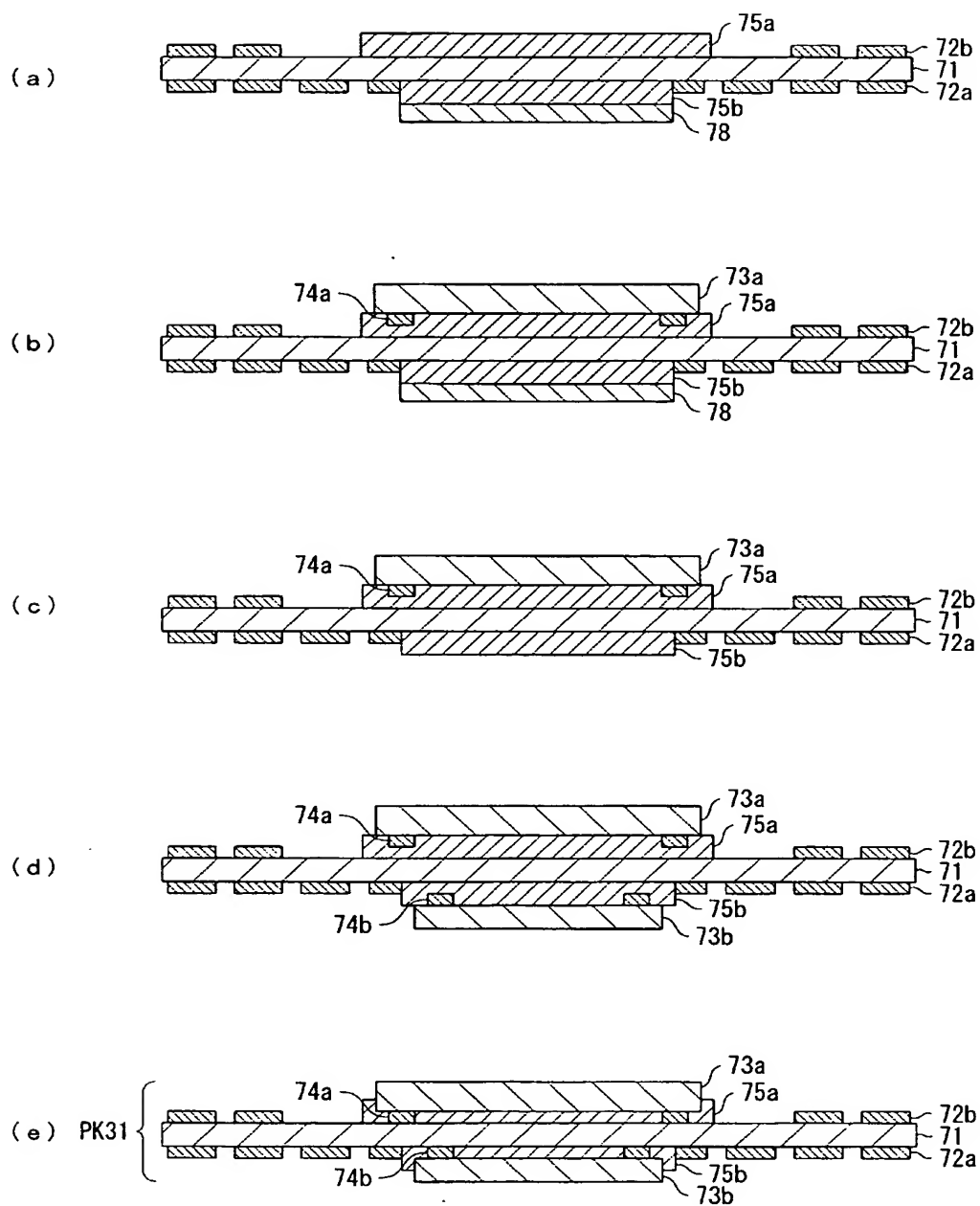
【図 2】



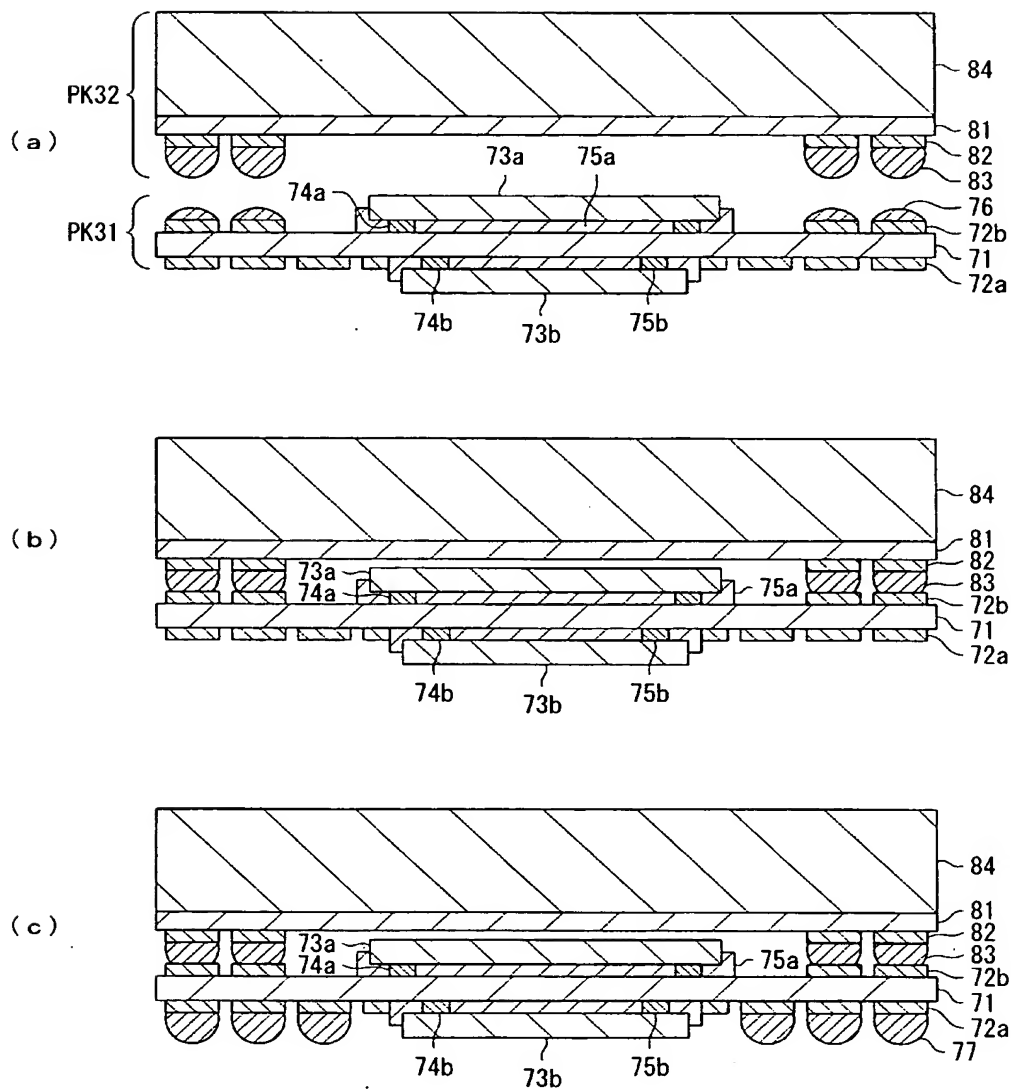
【図 3】



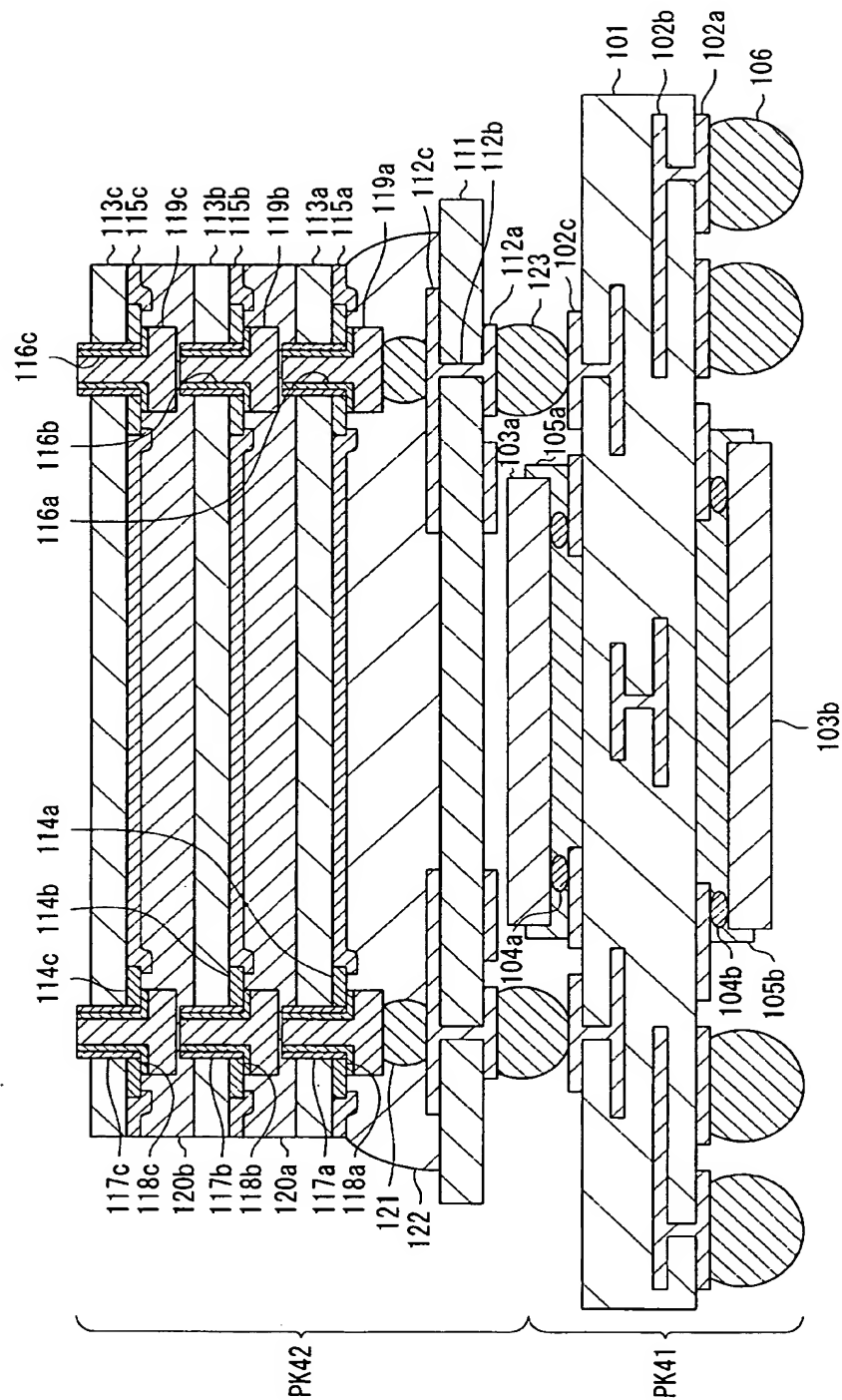
【図 4】



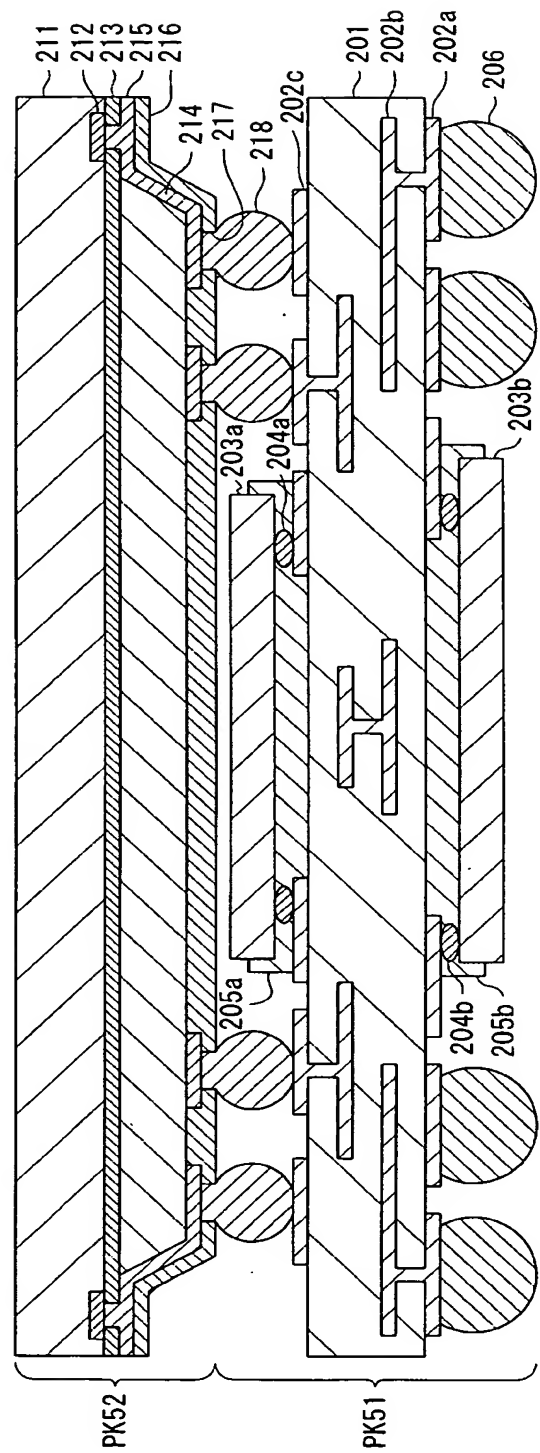
【図 5】



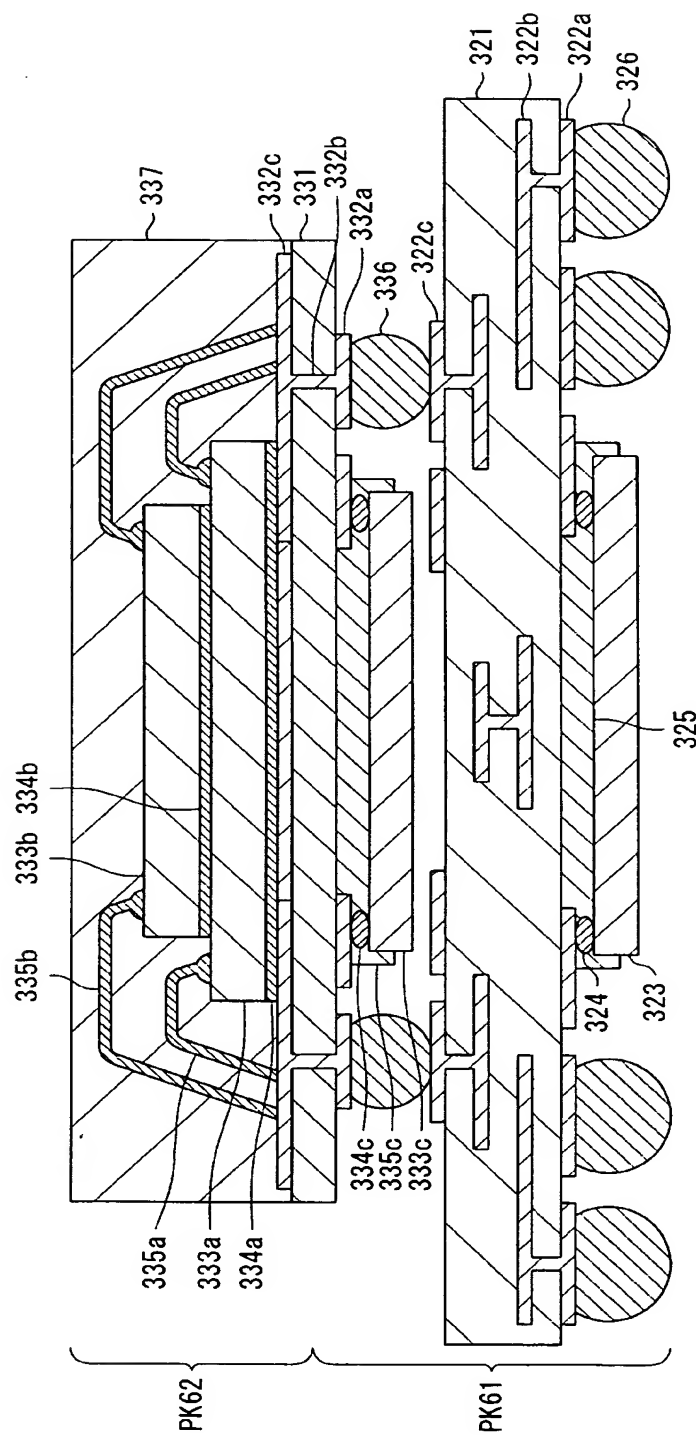
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 キャリア基板の反りを抑制しつつ、異種チップの 3 次元実装構造を実現する。

【解決手段】 半導体チップ 2 3 a、2 3 b が A C F 接合により両面実装された半導体パッケージ P K 1 1 上に、スタックド構造の半導体チップ 3 3 a、3 3 b がワイヤボンダ接続された半導体パッケージ P K 1 2 を積層する。

【選択図】 図 1



特願 2 0 0 3 - 0 7 4 2 2 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社